

メモリ

MN41256-12, MN41256-15

# MN41256-12, MN41256-15

262,144 ビット NMOS ダイナミック RAM  
262,144-Bit NMOS Dynamic RAM

■ 概要

MN41256 は、262,144 ワード×1 ビットの N チャンネル MOS ダイナミック RAM です。

16 ピン・プラスチック DIL パッケージを使用しており、メインフレームメモリ、バッファメモリなど、高速、低消費電力、高密度実装が必要なメモリシステムに適しています。

MN41256 は、クロックのタイミング許容量、電源許容変動範囲が大きいなど、使いやすい特性を有しています。

■ Description

The MN41256 is a 262,144-word by 1-bit Dynamic Random Access Memory in a 16-lead 300mil dual-in-line plastic package. The design is optimized for high-speed, high-performance applications such as mainframe memory, buffer memory and environments where low power dissipation and compact layout are required.

Clock timing requirements are non-critical, and power supply tolerance is very wide.

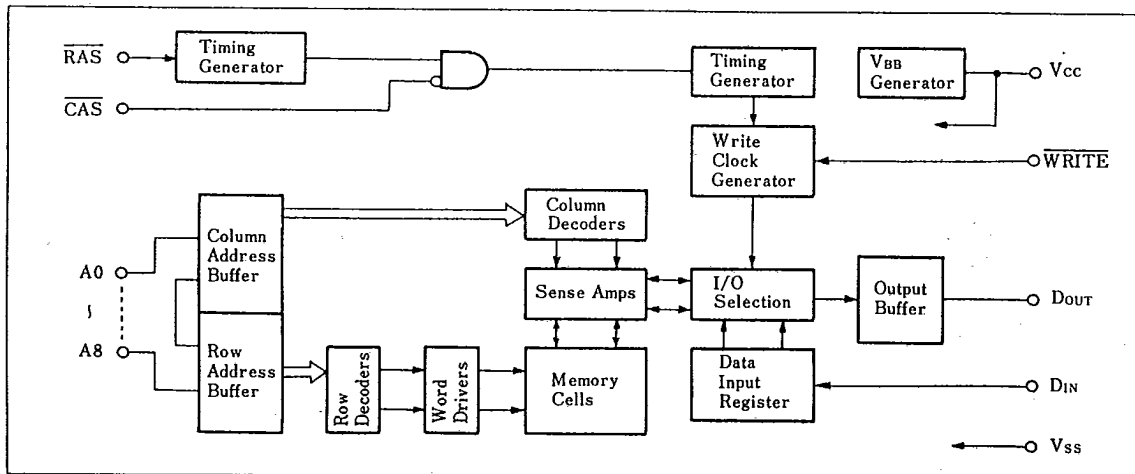
■ 特徴

- メモリ構成：262,144 ワード×1 ビット

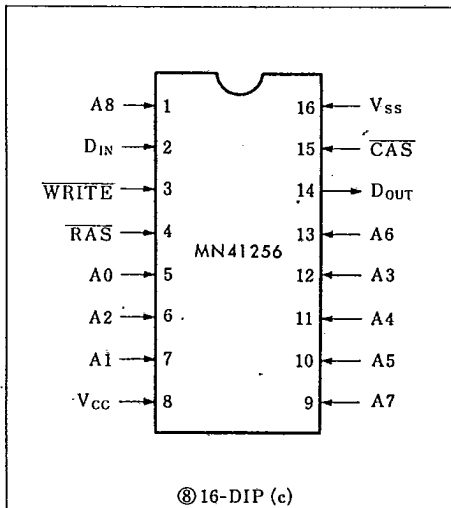
形名	アクセス時間(最大)	サイクル時間(最小)
MN41256-12	120ns	220ns
MN41256-15	150ns	260ns

- 低消費電力：  
スタンバイ時……………最大 27.5mW

■ ブロック図/Block Diagram



■ 端子配置図/Pin Assignment



動作時……MN41256-12 最大 457mW  
MN41256-15 最大 385mW

- 5V±10% 単一電源
- アーリーライト動作により共通 I/O 動作が可能
- リード・モディファイ・ライト、ページモード、RAS オンリーリフレッシュ、ヒドンリフレッシュ、動作が可能
- 全入出力 TTL 直結可能
- 256 リフレッシュサイクル：4ms
- 16 ピン・プラスチック DIL パッケージ

メモリ

MN41256-12, MN41256-15

T-46-23-15

■ 絶対最大定格/Absolute Maximum Ratings (Ta=25°C)

Item	Symbol	Rating	Unit
電源電圧	V <sub>CC</sub>	-1.0~7.0	V
入力電圧	V <sub>IN</sub>	-1.0~7.0	V
出力電圧	V <sub>OUT</sub>	-1.0~7.0	V
出力短絡電流	I <sub>OS</sub>	50	mA
許容損失	P <sub>D</sub>	1	W
動作周囲温度	T <sub>opr</sub>	0~+70	°C
保存温度	T <sub>stg</sub>	-55~+150	°C

■ 動作条件/Operating Conditions (Ta=0~+70°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	V <sub>CC</sub>		4.5	5.0	5.5	V
	V <sub>SS</sub>		0	0	0	V
入力電圧ハイレベル(全入力)	V <sub>IH</sub>		2.4		V <sub>CC</sub> +1.0	V
入力電圧ローレベル(全入力)	V <sub>IL</sub>		-1.0		0.8	V

■ DC 電気特性/DC Electrical Characteristics (Ta=0~+70°C)

Item	Symbol	min.	typ.	max.	Unit	Note
動作電流(平均電源電流) ( $\overline{RAS}$ , $\overline{CAS}$ サイクリング; $t_{rc}$ = 最小)	MN41256-12			83	mA	1)
	MN41256-15			70		
スタンバイ電流(平均電源電流) ( $\overline{RAS} = \overline{CAS} = V_{IH}$ )	I <sub>CC2</sub>			5	mA	
リフレッシュ電流(平均電源電流) ( $\overline{RAS}$ サイクリング, $\overline{CAS} = V_{IH}$ ; $t_{rc}$ = 最小)	MN41256-12			65	mA	1)
	MN41256-15			55		
ページモード電流(平均電源電流) ( $\overline{RAS} = V_{IL}$ , $\overline{CAS}$ サイクリング; $t_{PC}$ = 最小)	MN41256-12			65	mA	1)
	MN41256-15			55		
入力リーク電流 ( $0V \leq V_{IN} \leq 5.5V$ ) (測定外ピンは 0V)	I <sub>LI</sub>	-10	0.1	10	μA	
出力リーク電流 ( $0V \leq V_{OUT} \leq 5.5V$ )	I <sub>LO</sub>	-10	0.1	10	μA	
出力電圧ローレベル (I <sub>OL</sub> = 4.2mA)	V <sub>OL</sub>			0.4	V	
出力電圧ハイレベル (I <sub>OIH</sub> = -5mA)	V <sub>OIH</sub>	2.4			V	

Note 1) I<sub>CC1</sub>, I<sub>CC3</sub>, I<sub>CC4</sub> はサイクルレートと出力負荷状態で決まります。  
これらの値は最小サイクルタイムで無負荷状態の場合です。

■ 端子容量/Terminal Capacitance (V<sub>CC</sub>=5V±10%, f=1MHz, Ta=25°C)

Item	Symbol	min.	typ.	max.	Unit
入力容量 (A <sub>0</sub> -A <sub>8</sub> , D <sub>15</sub> )	C <sub>I1</sub>	—	—	10	pF
入力容量 ( $\overline{RAS}$ , $\overline{CAS}$ , $\overline{WRITE}$ )	C <sub>I2</sub>	—	—	10	pF
出力容量 (D <sub>OUT</sub> )	C <sub>O</sub>	—	—	12	pF

6932852 PANASONIC INDL. ELECTRONIC

72C 06355 D

メモリ

MN41256-12, MN41256-15

T-46-23-15

■ AC 電気的特性 / AC Electrical Characteristics Note 1), 2)

Item	Symbol	MN41256-12		MN41256-15		Unit	Note
		min.	max.	min.	max.		
リフレッシュ周期	tREF		4		4	ms	
ランダムリード/ライトサイクル周期	trc	220		260		ns	
リード/ライトサイクル周期	trwc	255		295		ns	
ページモードサイクル周期	tpc	115		135		ns	
RAS アクセス時間	trac		120		150	ns	4), 6), 8)
CAS アクセス時間	tcac		60		75	ns	5), 6), 8)
出力バッファターンオフ遅延時間	toff	0	30	0	40	ns	7)
トランジション時間(上昇, 下降)	tr	3	50	3	50	ns	3)
RAS プリチャージ時間	trp	90		100		ns	
RAS パルス幅	tr <sub>AS</sub>	120	10,000	150	10,000	ns	
RAS ホールド時間	tr <sub>SH</sub>	60		75		ns	
CAS プリチャージ時間 (ページモードサイクル以外)	tcpn	25		25		ns	
CAS パルス幅	tc <sub>AS</sub>	60	10,000	75	10,000	ns	
CAS ホールド時間	tc <sub>SH</sub>	120		150		ns	
RAS・CAS 遅延時間	trcd	25	60	25	75	ns	8)
CAS・RAS プリチャージ時間	trcp	0		0		ns	
ロウアドレス・セットアップ時間	t <sub>ASR</sub>	0		0		ns	
ロウアドレス・ホールド時間	t <sub>RAH</sub>	15		15		ns	
コラムアドレス・セットアップ時間	t <sub>ASC</sub>	0		0		ns	
コラムアドレス・ホールド時間	t <sub>CAH</sub>	20		25		ns	
リードコマンド・セットアップ時間	trcs	0		0		ns	
リードコマンド・ホールド時間	trch	0		0		ns	
リードコマンド・ホールド時間 ( $\overline{RAS}$ に対して)	trrh	20		20		ns	
ライトコマンド・セットアップ時間	twcs	0		0		ns	10)
ライトコマンド・ホールド時間	twch	25		30		ns	
ライトコマンド・パルス幅	twp	25		30		ns	
WRITE からの $\overline{RAS}$ ホールド時間	trwl	40		45		ns	
WRITE からの CAS ホールド時間	tcwl	40		45		ns	
データ入力セットアップ時間	tds	0		0		ns	9)
データ入力ホールド時間	tdh	25		30		ns	9)
CAS・WRITE 遅延時間	tcwd	50		60		ns	10)
RAS・WRITE 遅延時間	trwd	110		135		ns	10)
CAS プリチャージ時間 (ページモードサイクル)	tcp	45		50		ns	
RAS プリチャージ時間 ( $\overline{CAS}$ に対して)	trpc	0		0		ns	

- Note 1) 電源投入時, または  $\overline{RAS}$  の不活性状態が 4ms 以上続いた後は,  $\overline{RAS}$  クロックを 8 回以上入力するダミーサイクルを入れてください。
- 2) 測定は,  $t_r = 5.0ns$  として行なっています。
- 3) タイミング測定, 立上り時間, 立下り時間は  $V_{IL}$ ,  $V_{IH}$  を基準としています。

- 4)  $trcd \leq trcd(max.)$  の場合。
- 5)  $trcd \geq trcd(max.)$  の場合。
- 6) 100pF と 2TTL 負荷で測定。
- 7)  $toff$  は, 出力がハイインピーダンス状態になる時間。

メモリ

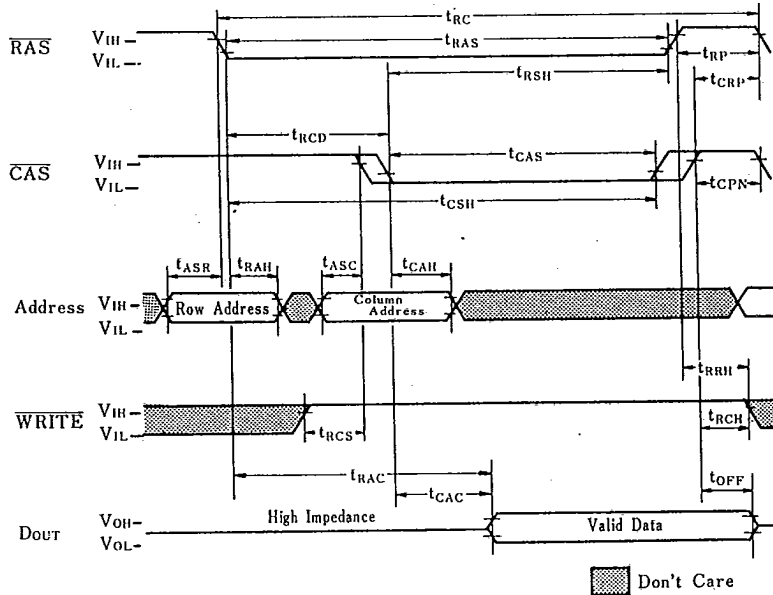
MN41256-12, MN41256-15

T-46-23-15

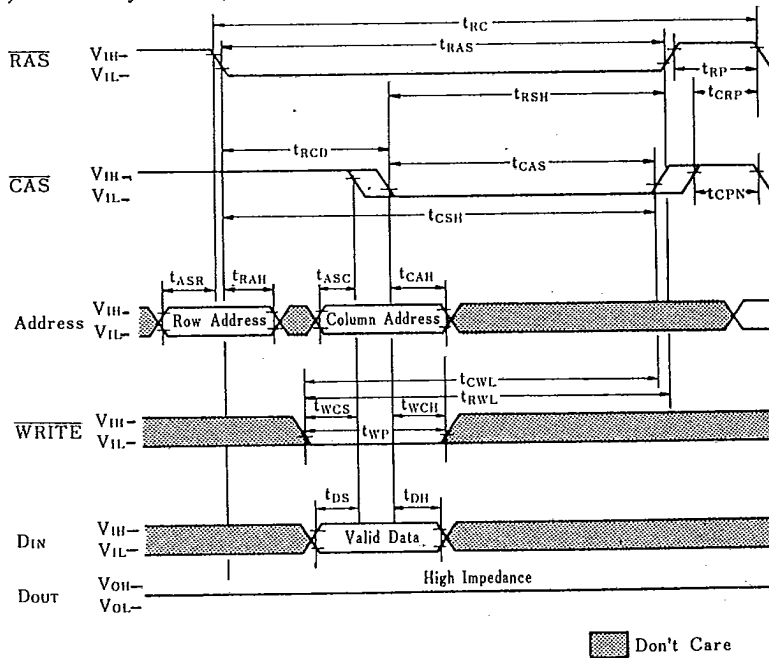
- 8)  $t_{rCD(max)}$  以内での動作は、 $t_{rAC(max)}$  が保証されます。もし、 $t_{rCD}$  が  $t_{rCD}$  規格値より大きい場合は、アクセス時間は  $t_{rCD} + t_{CAC}$  となります。
- 9) これらのパラメータはアーリーライトサイクルの場合、 $\overline{CAS}$  の立下りエッジから、リード・モディファイ・ライトサイクルの場合、 $\overline{WRITE}$  の立下りエッジから測定されます。

- 10)  $t_{wCS} \geq t_{wCS(min)}$  はアーリーライトサイクルとなるための条件で、 $DOUT$  はそのサイクル中ハイインピーダンスになります。 $t_{CWD} \geq t_{CWD(min)}$ 、 $t_{RW} \geq t_{RW(min)}$  はリード・モディファイ・ライトサイクルとなるための条件で、 $DOUT$  は選択されたアドレスのデータが出力されます。また、この2つの条件のどちらにも該当しない場合の  $DOUT$  は、そのサイクル中不確定となります。

■ リードサイクル / Read Cycle

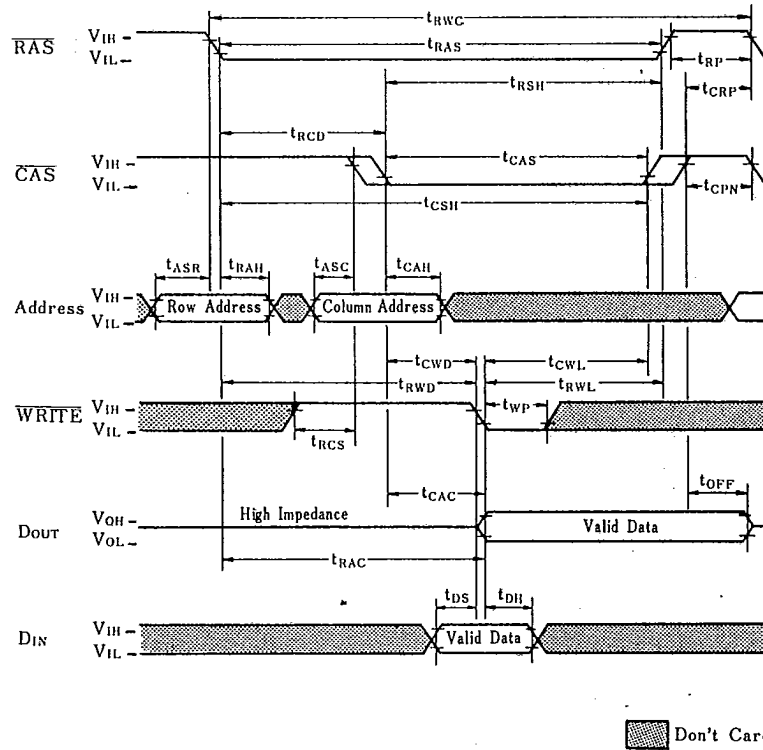


■ ライトサイクル / Write Cycle

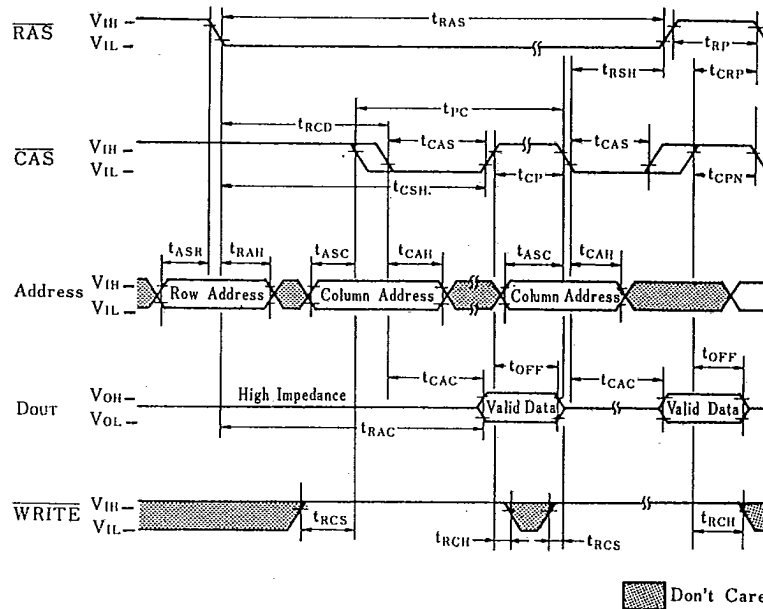


T-46-23-15

■ リード・ライト/リード・モディファイ・ライトサイクル  
Read·Write/Read·Modify·Write Cycle

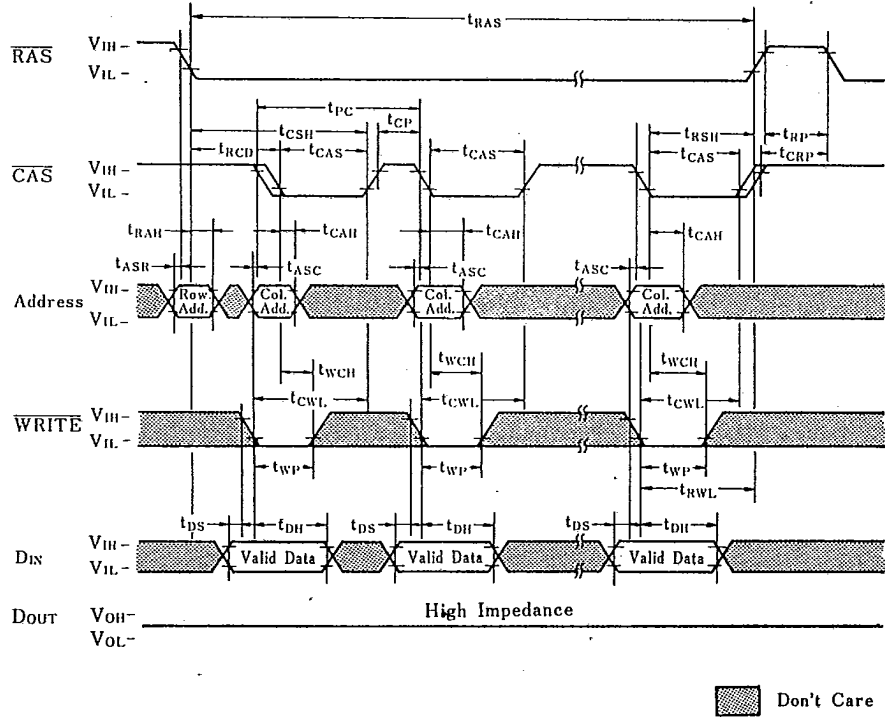


■ ページモードリードサイクル/ Page Mode Read Cycle



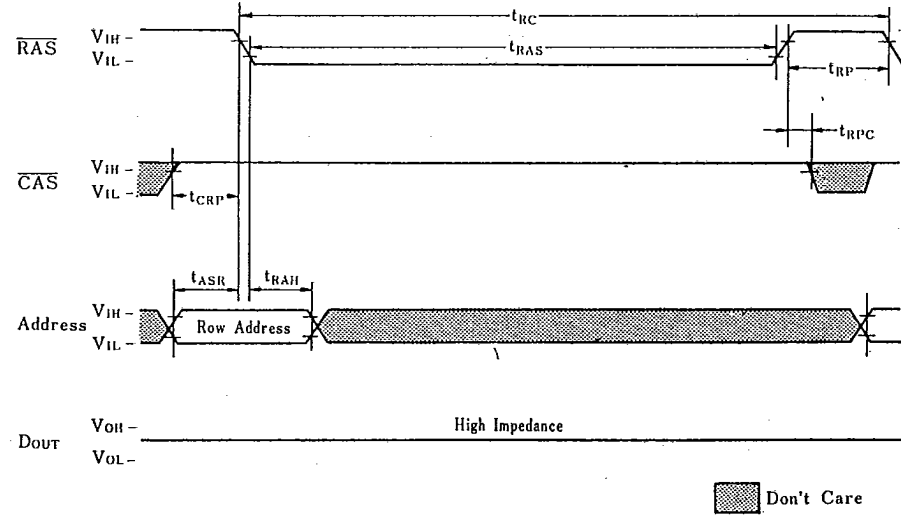
T-46-23-15

■ ページモードライトサイクル / Page Mode Write Cycle



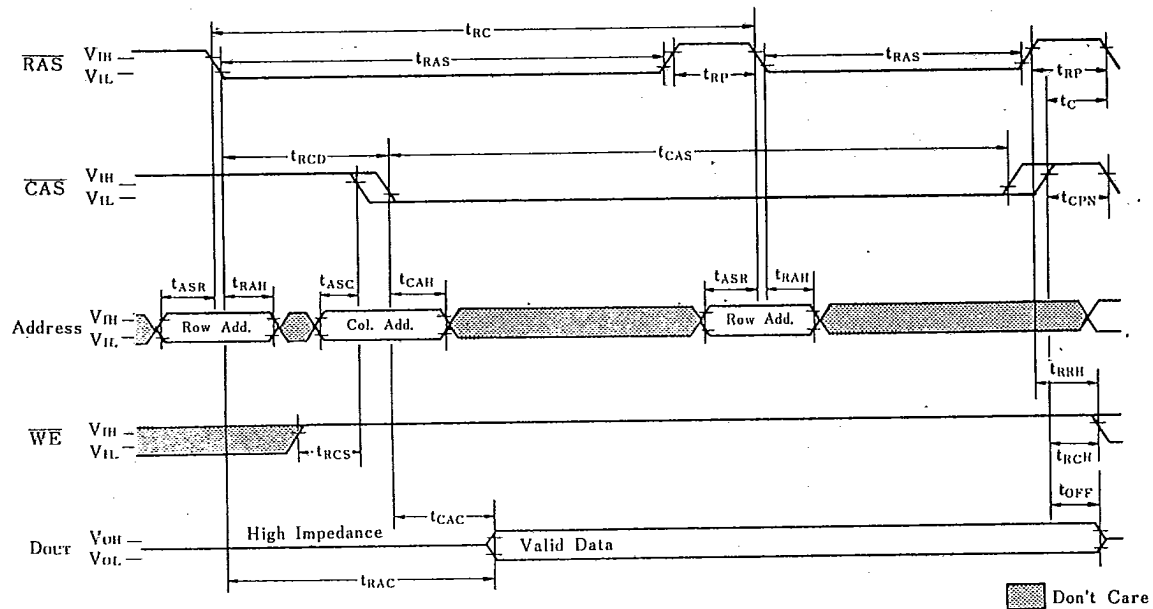
■ "RASオンリー"リフレッシュサイクル / "RAS Only" Refresh Cycle

Note: WRITE = Don't Care



T-46-23-15

■ ヒドンリフレッシュサイクル/Hidden Refresh Cycle



■ 動作説明

● リードサイクル

リードサイクルは、選択するセルの行アドレスを決定し、 $\overline{RAS}$  の立下りによって開始されます。アドレスのセットアップと  $\overline{RAS}$  の立下りの時間の遅れは  $t_{ASR}$  によって規定されます。 $\overline{RAS}$  が "L" レベルに達し、行アドレスがホールドされるのに要する時間は、 $t_{RAH}$  によって規定されます。行アドレスがホールドされた後、アドレスを列アドレスに切り換えます。列アドレスが決定されたら  $\overline{CAS}$  を立ち下げます。 $\overline{RAS}$  の立下りから  $\overline{CAS}$  の立下りまでの時間を  $t_{RCD}$  といいます。列アドレスのセットアップと  $\overline{CAS}$  の立下りのタイミングは  $t_{ASC}$  によって規定され、また、列アドレスがホールドされるのに必要な時間は  $t_{CAH}$  によって規定されています。 $t_{RCD}(\max.)$  が MN41256 の動作限界ではありません。 $\overline{CAS}$  が  $t_{RCD}(\max.)$  より遅く立ち下がったとき、 $\overline{RAS}$  からのアクセスタイムは  $t_{RCD}$  が  $t_{RCD}(\max.)$  より越えた分だけおくれます。 $\overline{CAS}$  が "L" レベルに達した後、データが出力されるまで、 $Dout$  はハイインピーダンス状態のままです。 $\overline{CAS}$  の立下りからデータが出力されるまでの時間を  $t_{CAC}$  と呼び、 $\overline{RAS}$  の立下りからデータが出力されるまでの時間を  $t_{RAC}$  と呼びます。 $t_{RAC}$  の最小値は、 $t_{RCD}(\max.)$  と  $t_{CAC}$  の和から計算されます。

このように選択されたセルから読み出されたデータは  $\overline{CAS}$  が "H" レベルになるまで出力されたままの状態を続けます。 $\overline{CAS}$  が "H" レベルに立ち上がった後は、 $Dout$  はハイインピーダンス状態になります。この  $\overline{CAS}$  の立上りから出力データがハイインピーダンスになるまでの時間は  $t_{off}$  で規定されます。

● ライトサイクル

ライトサイクルは、 $\overline{CAS}$  が "H" レベルにある状態のとき、または、 $\overline{CAS}$  が "L" レベルになる前に  $\overline{WRITE}$  が "L" レベルになることによって行なわれます。ライトサイクルには、ライトサイクルとリード・ライトサイクルの2つのモードがあります。

ライトサイクル——書込み動作を始めるためには  $\overline{CAS}$  が立ち下がるときに書込みデータが有効になっていなければならない。このモードでは  $Din$  と  $\overline{WRITE}$  はサイクル時間を決定するクリティカルパス信号にはなりません。 $\overline{WRITE}$  の "L" レベル状態はデータがセルに取り込まれるまでの間、そのレベルを保っていなければならない。この時間を  $t_{WP}$  で規定しています。また、 $\overline{WRITE}$  が "L" レベルになり、書込みデータが取り込まれるまでに要する時間を  $t_{DH}$  と呼んでいます。このサイクルをアーリーライトサイクルと呼んでいます。

6932852 PANASONIC INDL. ELECTRONIC

72C 06360 D

メモリ

MN41256-12, MN41256-15

T-46-23-15

リード/ライトサイクル— 一般に、リード/ライトサイクルとはリードサイクルとして開始し、あるタイミング仕様が満たされると同時にライトサイクルの機能が可能になる動作モードを指します。

リード・モディファイ・ライトは、この動作の一種です。このモードでは  $\overline{DIN}$  と  $\overline{WRITE}$  はサイクルタイムを規定するクリティカル・パス信号になります。

#### ●クロックオフタイミング

$\overline{RAS}$  と  $\overline{CAS}$  は  $\overline{Dout}$  を有効にするために、ある時間活性化("L")しなければなりません。これは、 $\overline{CAS}$  の場合、 $t_{CAS}(\text{min.})$  で、 $\overline{RAS}$  の場合は  $t_{RSH}(\text{min.})$  で制御されます。 $\overline{RAS}$  の終了後、 $\overline{RAS}$  は内部回路をプリチャージするために必要な時間 "H" レベルにしなければなりません。これに関するタイミングは  $t_{RP}$  で規定しています。また、 $\overline{CAS}$  のプリチャージに必要な時間は  $t_{CPN}$  (ページモードサイクル以外)、 $t_{CP}$  (ページモードサイクル) で規定しています。

#### ●データ出力

$\overline{Dout}$  は2個の標準 TTL 負荷のファン・アウトをもった3ステート TTL コンパチブルです。

$\overline{CAS}$  が "H" レベルになると  $\overline{Dout}$  はハイインピーダンス状態になります。

$\overline{CAS}$  が "L" レベルになるとリードサイクルでは、有効データが  $t_{CAC}$  の後に  $\overline{Dout}$  に出力されます。しかし、アーリーライトサイクルでは、 $\overline{Dout}$  はハイインピーダンス状態になります。

#### ●コモン I/O

すべての書込み動作を、アーリーライトサイクルで行なえば、 $\overline{DIN}$  と  $\overline{Dout}$  の両端子を接続して、COMMON I/O DATA BUS のように使用することができます。

#### ● $\overline{RAS}$ , $\overline{CAS}$ 信号によるチップ選択

$\overline{RAS}$ ,  $\overline{CAS}$  両方の信号を入力されたデバイスのみで読出し、または書込みの動作をすることができます。マトリクス中の非選択メモリの出力を禁止するには、 $\overline{CAS}$  を入力しないようにします。 $\overline{CAS}$  を共通にした回路構成ですと、 $\overline{RAS}$  によりチップ選択をすることができます。また、 $\overline{RAS}$ ,  $\overline{CAS}$  の両方でデコードする場合は2次元 (X, Y) のチップ選択ができます。この様に  $\overline{RAS}$ 、または  $\overline{CAS}$  のどちらでもチップの選択が可能です。

#### ●ページ・モード

ページ・モード機能とは、同じ行アドレスで列アドレスの異なる情報を連続的に読出し、または書込みをすることで、消費電流を増加させずに、速いスピードで動作さ

せることができます。この動作は、 $\overline{RAS}$  信号を "L" 状態に保持し、連続したメモリ動作の間、行アドレスを維持することにより行なわれます。ページ・モードの動作で、 $\overline{RAS}$  系の信号に関連した電力が節約できます。また、新しい行アドレスをストロープする時間がいりませんので、アクセス時間とサイクル時間を短くできます。ページ・モードにおける連続動作では「リード」、「ライト」、「リード・モディファイ・ライト」のいずれのシーケンスも可能です。

単一チップのページの限界は、9ビットのコラムアドレスによって決定される512ですが、システム中においては  $\overline{CAS}$  をチップ選択に使用することにより、拡張することができます。この場合、 $\overline{RAS}$  はすべてのデバイスに入力され、ページサイクルを選択する信号として  $\overline{CAS}$  を与えます。これにより、 $\overline{RAS}$ ,  $\overline{CAS}$  両方を入力されたデバイスのみの読出し、または書込みを実行することができます。

#### ●リフレッシュ

ダイナミックセルマトリクスのリフレッシュは4msごとに256の行アドレスを与えることにより行なわれます。通常のメモリサイクルでもリフレッシュ動作は行なわれますが、一般にリフレッシュ動作は最も簡単な  $\overline{RAS}$  オンリーで行なわれます。 $\overline{RAS}$  オンリーリフレッシュでは消費電流は減少し、このときの電流値は  $I_{CC3}$  として規定されています。

ヒドンリフレッシュサイクルは、リードサイクルから、 $\overline{CAS}$  のパルス幅を広げることにより、前サイクルでの読出しデータを出力に保持しながら他のアドレスをリフレッシュすることを可能にします。

通常、リードサイクル終了後、 $\overline{CAS}$  を  $V_{IL}$  に保ったまま、 $\overline{RAS}$  をハイレベルにし、所定のプリチャージタイム ( $t_{RP}$ ) 以降に  $\overline{CAS}$  を  $V_{IL}$  にしたままでリフレッシュを行いません。